

A23

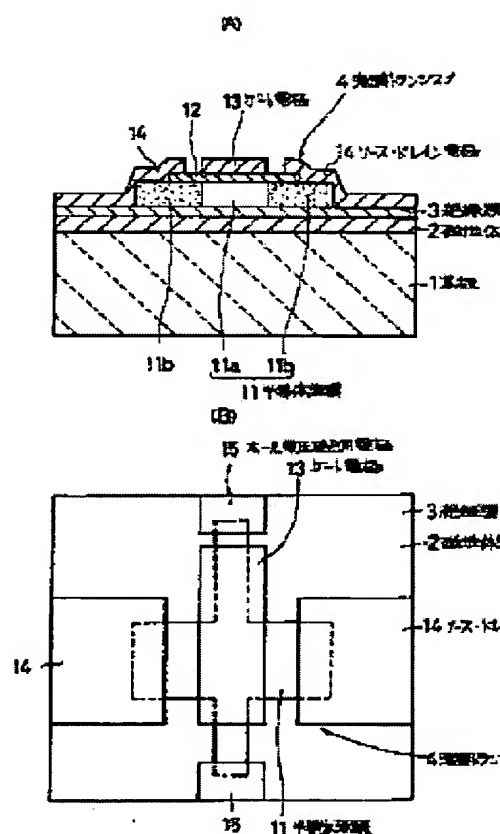
THIN-FILM SEMICONDUCTOR DEVICE

Patent number: JP5226635
Publication date: 1993-09-03
Inventor: TAKEDA KOJI
Applicant: CASIO COMPUT CO LTD
Classification:
 - international: H01L27/22; G11C11/18; H01L27/10; H01L29/784
 - european:
Application number: JP19920058833 19920213
Priority number(s):

Abstract of JP5226635

PURPOSE: To achieve a specified function such as a memory function with a simple configuration by laminating a thin-film transistor with an electrode for detecting Hall voltage and a magnetic body thin film.

CONSTITUTION: A magnetic body thin film 2 is provided on the upper surface of a substrate 1 and an insulation film 3 and a thin-film transistor 4 are laminated on the upper surface. The thin-film transistor 4 is provided with a semiconductor thin film 11 which consists of an amorphous, polycrystalline, or single-crystal semiconductor and then electrodes 15, 15 for detecting Hall voltage are connected to it. Then, the magnetic body thin film 2 consists of a magnetic body thin film which contains at least one type of rare-earth elements and is magnetized in the direction of film thickness and then a magnetic transition temperature or a magnetization loss temperature exceed a room temperature. Hall voltage can be generated in a direction which is vertical to both the direction where drain current flows and the direction for applying magnetic field according to the magnetic body thin film 2 can be generated at the thin-film transistor 4 according to Hall effect, thus achieving a specified function such as memory function with a simple configuration.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-226635

(43) 公開日 平成5年(1993) 9月3日

| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|---------|--------------------------|---------|
| H 0 1 L 27/22 | | 7342-4M | | |
| G 1 1 C 11/18 | | 8522-5L | | |
| H 0 1 L 27/10 | 4 5 1 | 8728-4M | | |
| 29/784 | | | | |
| | | 9056-4M | | |
| | | | H 0 1 L 29/78 | 3 1 1 C |
| | | | 審査請求 未請求 請求項の数 4 (全 5 頁) | |

(21) 出願番号 特願平4-58833

(22) 出願日 平成4年(1992) 2月13日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 竹田 恒治

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

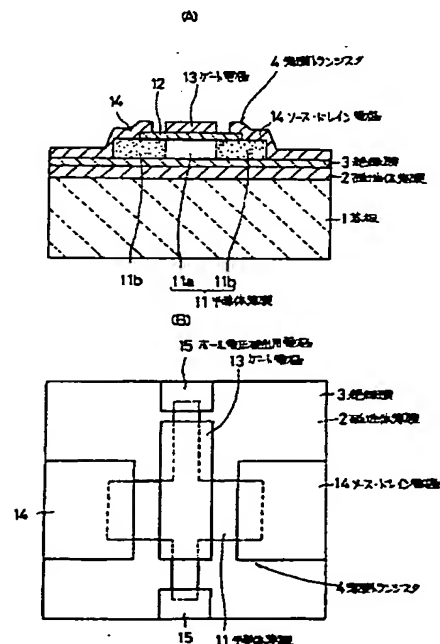
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】

【目的】 簡単な構成でメモリ機能を持たせる。

【構成】 基板1の上には磁性体薄膜2が設けられ、磁性体薄膜2の上には絶縁膜3を介して薄膜トランジスタ4が設けられている。薄膜トランジスタ4は、平面ほぼ十字形状の半導体薄膜11、半導体薄膜11上にゲート絶縁膜12を介して設けられたゲート電極13、半導体薄膜11の左右端部に接続されたソース・ドレイン電極14、および半導体薄膜11の前後端部に接続されたホール電圧検出電極15を備えている。そして、ゲート電圧が印加されると、ドレイン電流が流れる。このとき、磁性体薄膜2がその膜厚方向にすなわち上向きまたは下向きに磁化されていると、ホール効果により、半導体薄膜11にはドレイン電流の流れている方向と磁性体薄膜2による磁場印加方向の双方に垂直な方向に正負いずれかのホール電圧が発生する。したがって、簡単な構成でメモリ機能を持たせることができる。



1

【特許請求の範囲】

【請求項1】 ホール電圧検出用電極を有する薄膜トランジスタと磁性体薄膜とを積層してなることを特徴とする薄膜半導体装置。

【請求項2】 前記薄膜トランジスタは非晶質、多結晶または単結晶半導体からなる半導体薄膜を備え、この半導体薄膜に前記ホール電圧検出用電極が接続されていることを特徴とする請求項1記載の薄膜半導体装置。

【請求項3】 前記磁性体薄膜は少なくとも1種類の希土類元素を含む磁性体薄膜からなり、かつその膜厚方向に磁化されていることを特徴とする請求項1記載の薄膜半導体装置。

【請求項4】 前記磁性体薄膜の磁気転移温度または磁化消失温度は室温以上であることを特徴とする請求項1記載の薄膜半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はメモリ機能等を備えた薄膜半導体装置に関する。

【0002】

【従来の技術】 FET（電界効果トランジスタ）は、入力（ゲート）電圧の変化を（ドレイン）電流の変化として出力するものであり、消費電力が小さく高集積化が可能であることから、主にデジタル回路素子として用いられている。

【0003】 ところで、従来のこのようなFETでは入力電圧を印加している間だけ出力電流を得ることができるので、このままでは、メモリ機能とか磁気センサ等のセンシング機能とかの如き所定の機能を持たせることができず、付随の回路やデバイスを必要とする。例えば、FETにメモリ機能を持たせるには、SRAMやDRAMの如き複雑な回路構成としたり、EEPROMの如き駆動方法とセンスアンプを採用しなければならない。また、FETに磁気センサ等のセンシング機能を持たせるには、検出素子と回路からなる独立したセンサが必要となる。

【0004】

【発明が解決しようとする課題】 このように、従来のFETでは、単独で所定の機能を遂行させるには不向きであり、機能遂行のための複雑な付加的回路構成や素子を必要とするという問題があった。この発明の目的は、簡単な構成でメモリ機能等の所定の機能を持たせることのできる薄膜半導体装置を提供することにある。

【0005】

【課題を解決するための手段】 この発明は、薄膜トランジスタにホール電圧検出用電極を備えさせ、かつこの薄膜トランジスタに磁性体薄膜を積層したものである。

【0006】

【作用】 この発明によれば、薄膜トランジスタと磁性体薄膜とを積層しているので、ホール効果により、薄膜ト

2

ランジスタにドレイン電流の流れている方向と磁性体薄膜による磁場印加方向の双方に垂直な方向にホール電圧を発生させることができ、そしてこのホール電圧をホール電圧検出用電極を介して検出すると、磁性体薄膜による磁場印加方向の相違により正負いずれかのホール電圧が得られることになり、このため例えば磁性体薄膜による磁場印加方向を予めいずれかの方向に定めておくことにより記憶情報1、0を書込んでおくことができ、しかも薄膜トランジスタにホール電圧検出用電極を備えさせ、かつこの薄膜トランジスタに磁性体薄膜を積層させるだけでよく、したがって簡単な構成でメモリ機能等の所定の機能を持たせることができる。

【0007】

【実施例】 図1（A）、（B）はこの発明の第1実施例における薄膜半導体装置の要部を示したものである。この薄膜半導体装置は、基板1の上面に磁性体薄膜2が設けられ、磁性体薄膜2の上面に絶縁膜3が設けられ、絶縁膜3の上面に薄膜トランジスタ4が設けられた構造となっている。このうち基板1は石英、高融点ガラス、シリコンウェーハ、ステンレス等からなっている。ただし、基板1としてシリコンウェーハやステンレス等の導電性の高いものを用いる場合には、基板1と磁性体薄膜2との間を絶縁するために、基板1の上面に酸化シリコンや窒化シリコン等からなる絶縁膜を設け、この絶縁膜の上面に磁性体薄膜2を設けることとする。磁性体薄膜2は少なくとも1種類の希土類元素を含む磁性体薄膜からなり、例えばテルビウム-鉄-コバルト合金等からなる強磁性体やペロブスカイト型ガドリニウム-鉄酸化物等からなる高転移温度フェリ磁性体からなっている。この磁性体薄膜2はその垂直磁気異方性によりその膜厚方向にすなわち図1（A）の上向きにまたは下向きに磁化されている。絶縁膜3は磁性体薄膜2と薄膜トランジスタ4との間を絶縁するためのものであり、酸化シリコンや窒化シリコン等からなっている。ただし、磁性体薄膜2がペロブスカイト型ガドリニウム-鉄酸化物等のように抵抗率の十分高いものからなる場合には、この絶縁膜3を省略してもよい。

【0008】 薄膜トランジスタ4は、絶縁膜3の上面に平面ほぼ十字形状にパターン形成された非晶質、多結晶または単結晶半導体からなる半導体薄膜11を備えている。半導体薄膜11の中央部はチャネル領域11aとされ、その左右両側は不純物濃度の高いソース・ドレイン領域11b、11bとされている。半導体薄膜11の上面中央部には酸化シリコンや窒化シリコン等からなるゲート絶縁膜12を介してゲート電極13が設けられている。半導体薄膜11のソース・ドレイン領域11b、11bにはソース・ドレイン電極14、14がそれぞれ接続されている。半導体薄膜11のチャネル領域11aの前後端部にはホール電圧検出用電極15、15がそれぞれ接続されている。

【0009】次に、この薄膜半導体装置の動作について説明する。今、ソース・ドレイン電極14、14間にドレイン電圧 V_d が印加されている状態において、ゲート電極13に印加するゲート電圧 V_g を変化させると、ゲート電圧 V_g の絶対値 $|V_g|$ の閾値前後でソース・ドレイン電極14、14間に流れるドレイン電流 I_d に大きな変化が起こる。これは、ゲート電圧 V_g の絶対値 $|V_g|$ が閾値を超えたとき、半導体薄膜11のソース・ドレイン領域11b、11bがその間のチャネル領域11aを介してショートされるためである。このとき、磁性体薄膜2がその膜厚方向に磁化されているので、半導体薄膜11のチャネル領域11aにはその膜厚方向に磁場Hが印加されている。したがって、ホール効果により、半導体薄膜11のチャネル領域11aにはドレイン電流 I_d の流れている方向と磁場Hの印加されている方向の双方に垂直な方向にホール電圧 V_H が発生する。このホール電圧 V_H はドレイン電流 I_d に比例し、したがってドレイン電流 I_d が大きく変化するとホール電圧 V_H も大きく変化し、ドレイン電流 I_d の変化がホール電圧 V_H の変化に変換されることになる。そして、このホール電圧 V_H はホール電圧検出用電極15、15を介して検出される。一例として、磁性体薄膜2の膜厚が100Åでその磁場Hが1kエルステッドであり、ドレイン電流(オン電流) I_d が1μAであるとする、 $V_H = R$ (ホール定数) $I_d H$ の関係式から、ホール電圧 V_H は0.1~1mV程度となる。

【0010】このように、この薄膜半導体装置では、ゲート電圧 V_g を印加すると、半導体薄膜11のチャネル領域11aにホール電圧 V_H が発生するので、磁性体薄膜2の膜厚方向の磁化が上向きであるか下向きであるかの相違により、正負いずれかのホール電圧 V_H が得られる。そこで、磁性体薄膜2の膜厚方向の磁化が上向きであるか下向きであるかの相違により記憶情報1、0を書込んでおくとすると、この記憶情報1、0を正負いずれかのホール電圧 V_H として読出すことができ、したがってメモリ機能を持たせることができる。また、基板1が透明である場合には、基板1側からレーザ光を照射し、磁性体薄膜2の下面で反射された反射光のカー回転角を検出するようにすると、光磁気メモリ素子としても使用することができる。さらに、記憶情報を書換えることもできる。この場合、弱い外部磁場を与えておくと、室温では磁気転移(磁化反転)が生じないが、レーザ光を照射すると磁性体薄膜2の温度が上昇してその保磁力が減少し、このため弱い外部磁場でも十分磁気転移を生じ、したがってこのような性質を利用することにより、記憶情報を書換えることができる。また、磁性体薄膜2が電気良導体からなる場合には、磁性体薄膜2の電位を一定に保つことができ、したがって薄膜トランジスタ4におけるバックゲートバイアスを安定させることができ、ひいては薄膜トランジスタ4の動作安定性を増すことがで

きる。

【0011】なお、上記第1実施例では薄膜トランジスタ4としてコプラナ型のを備えている場合について説明したが、図1と同一名称部分には同一の符号を付した図2に示す第2実施例のように、逆スタガ型のものにも適用することができる。この場合、基板1と磁性体薄膜2との間に逆スタガ型の薄膜トランジスタ4を設けており、その詳細な説明は省略する。なお、磁性体薄膜2の上面に透明な保護膜を設けるようにしてもよい。

【0012】次に、図3はこの発明の第3実施例における薄膜半導体装置の要部を示したものである。この図において、図1と同一名称部分には同一の符号を付し、その説明を適宜省略する。この薄膜半導体装置は、ガラス等の透明な基板1の上面に磁性体薄膜2が設けられ、磁性体薄膜2の上面に反射膜21が設けられ、反射膜21の上面に絶縁膜3が設けられ、絶縁膜3の上面に多数の薄膜トランジスタ4が設けられた構造となっている。このうち薄膜トランジスタ4は、絶縁膜3の上面に一方のソース・ドレイン電極14、半導体薄膜11および他方のソース・ドレイン電極14がこの順で設けられ、これらの表面にゲート絶縁膜12を介してゲート電極13が設けられた構造となっている。したがって、この薄膜トランジスタ4では、基板1に対して垂直な方向にドレイン電流 I_d が流れることになる。この場合、磁性体薄膜2として垂直磁気異方性の高いテルビウム-鉄-コバルト合金を用い、各薄膜トランジスタ4に対応してN極またはS極に磁化させ、各薄膜トランジスタ4に対して基板1の面方向に磁場を印加するようにしておく。

【0013】この薄膜半導体装置でも、ゲート電圧 V_g を印加すると、半導体薄膜11のチャネル領域にホール電圧 V_H が発生するが、この場合、磁性体薄膜2の面方向の磁化がN極であるかS極であるかの相違により、正負いずれかのホール電圧 V_H が得られることになり、したがってこの場合もメモリ機能を持たせることができる。また、基板1側からレーザ光を照射した場合、磁性体薄膜2の下面で反射された反射光のカー回転角または反射膜21の下面で反射された反射光のファラディ回転角を検出することができ、したがってこの場合も書換え可能な光磁気メモリ素子として使用することもできる。磁性体薄膜2への書込みは周知の如く光変調方式または磁界変調方式によって行うことが可能であり、この磁気記録を各薄膜トランジスタ4毎に対応付ければ、磁性体薄膜2の書込み情報と同じ情報を各薄膜トランジスタ4のホール電圧検出用電極15から検出することが可能となるので、光ディスク専用の再生装置および半導体メモリ専用の再生装置のどちらでも再生することが可能となる。

【0014】なお、上記実施例では、メモリ機能を有する場合について説明したが、これに限定されるものではない。例えば、薄膜半導体装置の磁性体薄膜2を予め磁

5

化していない場合には、薄膜半導体装置をある磁場においてゲート電圧 V_g を印加すると、その磁場に対応した正負いずれかのホール電圧 V_H が得られることになり、したがってこの場合薄膜半導体装置を一種の磁気センサとして使用することができる。この場合、磁性体薄膜2がその磁場の強さに比例して磁化され、しかも薄膜半導体装置をその磁場から取り出しても磁性体薄膜2の磁化が保持され、したがって薄膜半導体装置をその磁場から取り出した後においても、その磁場に対応した正負いずれかのホール電圧 V_H が得られることになる。なお、一旦磁化された磁性体薄膜2を消磁する場合には、例えばレーザ光を照射して磁化消失温度以上に熱すると、消磁することができる。また、上記実施例では、薄膜トランジスタ4としてn型またはp型のいずれか一方の素子を備えた場合について説明したが、これに限定されるものではない。例えば、n型とp型の双方を備えたCMOS FETにも適用することができる。この場合、入力電圧が有効閾値電圧となるところで鋭いピークを持つパルス状のドレイン電流 I_D が過渡的に流れ、その有効閾値電圧の近傍に局在するパルスの変化に対応したホール電圧 V_H が発生し、したがってピーク電流をパルス電圧に変換して取り出すことができる。

【0015】

【発明の効果】以上説明したように、この発明によれば、ホール効果により、薄膜トランジスタにドレイン電流の流れている方向と磁性体薄膜による磁場印加方向の

6

双方に垂直な方向にホール電圧を発生させることができるので、磁性体薄膜による磁場印加方向の相違により正負いずれかのホール電圧を得ることができ、このため例えば磁性体薄膜による磁場印加方向を予めいずれかの方向に定めておくにより記憶情報1、0を書き込んでおくことができ、しかも薄膜トランジスタにホール電圧検出用電極を備えさせ、かつこの薄膜トランジスタに磁性体薄膜を積層させるだけでよく、したがって簡単な構成でメモリ機能等の所定の機能を持たせることができる。

10 【図面の簡単な説明】

【図1】(A)はこの発明の第1実施例における薄膜半導体装置の要部の縦断面図、(B)は同要部の平面図。

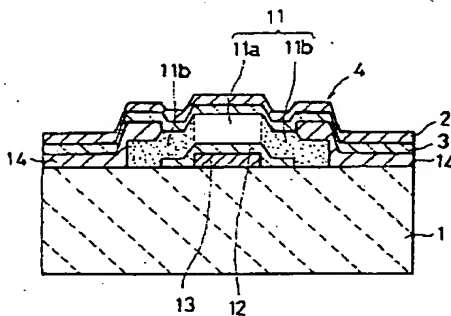
【図2】この発明の第2実施例における薄膜半導体装置の要部の縦断面図。

【図3】この発明の第3実施例における薄膜半導体装置の要部の縦断面図。

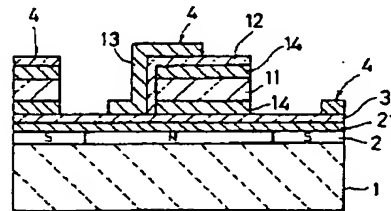
【符号の説明】

- 1 基板
- 2 磁性体薄膜
- 3 絶縁膜
- 4 薄膜トランジスタ
- 11 半導体薄膜
- 13 ゲート電極
- 14 ソース・ドレイン電極
- 15 ホール電圧検出用電極

【図2】



【図3】



【図1】

